

品番 / Item No.

MN28032A

DS23696

Ver 1.08

Rev.	Spec. No.	Date(M-D-Y)
0	P-R	Jun-22-05
1	P-R1	Jun.-30-05
2	P-R2	Jul.-26-05
3	P-R3	Nov.-23-05
4	T-R	Jan.-17-06

適用規格 / Application standard	規格No. / Standard No.
蛍光表示管信頼性試験規格 Reliability Test Condition	TT-03-3065A
蛍光表示管納入規格 Quality Specification	TT-93-3336D

絶対最大定格 / Absolute Maximum Ratings

項目 Parameter	記号 Symbol	端子 Terminal	定格 Ratings	単位 Unit
フィラメント電圧 Filament Voltage	1) Ef	F1, F2	7.6	Vac
ロジック電源電圧 Logic Supply Voltage	2) VDD1	VDD1	-0.3~6.5	Vdc
ディスプレイ電源電圧 Display Supply Voltage	2) VDD2	VDD2	-0.3~6.0	Vdc
入力電圧 Input Voltage	2) VIN	SI, CLK, LAT, BK	VSS-0.3~VDD1+0.3	V
出力電圧 Output Voltage	2) VOUT	SO	VSS-0.3~VDD1+0.3	V
保存温度 Storage Temperature	Ts	—	-50~+85	°C

Notes:

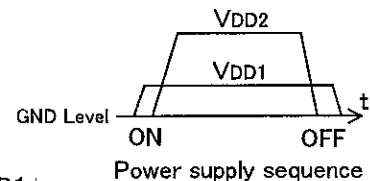
- 1) 交流50Hzまたは60Hzの実効値。 / Effective value of AC 50 or 60Hz.
- 2) VSS=0Vを基準とした値。 / Voltages based VSS =0V

推奨動作条件 / Recommended Operating Conditions

項目 Parameter	記号 Symbol	端子 Terminal	定格 / Ratings			単位 Unit
			MIN	TYP	MAX	
フィラメント電圧 Filament Voltage	1) Ef	F1, F2	5.7	6.3	6.6	Vac
ロジック電源電圧 Logic Supply Voltage	2) VDD1	VDD1	4.5	5.0	5.5	Vdc
ディスプレイ電源電圧 Display Supply Voltage	2), 3), 4) VDD2	VDD2	45.0	55.0	58.0	Vdc
フィラメントバイアス電圧 Filament Bias Voltage	Ek	—	—	5.0	—	Vdc
動作環境温度 Operating Temperature	To	—	-40	—	+85	°C

Notes:

- 1) 交流50Hzまたは60Hzの実効値。 / Effective value of AC 50 or 60Hz.
- 2) 電源シーケンス / Power Supply Sequence
VDD2の印加中は、VDD1をフローティング又は、4.5V未満にしないこと。
VDD1 should be applied and higher than 4.5V when applying VDD2.
VDD2の電源投入はVDD1と同時にまたはVDD1の投入後であること。
VDD1 and VDD2 should be on at the same time, or VDD2 should be on after VDD1 is on.
VDD1の電源遮断はVDD2と同時にまたはVDD2の遮断後であること。
VDD1 and VDD2 should be off at the same time, or VDD1 should be off after VDD2 is off.
- 3) 電流制限抵抗RD=22Ωの挿入をお勧めします。 / RD=22Ω to be connected in series.
- 4) 逆流電流防止のためダイオード挿入して下さい。
The diode insertion is needed for the backflow current prevention.



電気的光学的特性 / Electrical and Optical Characteristics

At typical operating condition, all segments turned on, fCLK=4.0MHz, Ef=6.3Vac, VDD1=5Vdc, VDD2=55Vdc, Vss=0V unless otherwise noted.

項目 Parameter	記号 Symbol	点灯試験条件 Test Condition	定格 / Ratings			単位 Unit
			MIN	TYP	MAX	
フィラメント電流 Filament Current	If	VDD1=VDD2=0V	135.0	150.0	165.0	mAac
ロジック電源電流 Logic Supply Current	1) IDD1	fCLK=4.0MHz VDD1=5Vdc	—	2.0	4.0	mA
ディスプレイ電源電流 Display Supply Current	1) IDD2	Average from T1 to T94	—	15.0	30.0	mA
Hレベル入力電圧 H-Level Input Voltage	VIH		0.8× VDD1	—	VDD1	V
Lレベル入力電圧 L-Level Input Voltage	VIL		Vss	—	0.2× VDD1	V
Hレベル入力電流 H-Level Input Current	IIH	VIH=VDD1	—	—	5.0	μA
Lレベル入力電流 L-Level Input Current	IIL	VIL=Vss VDD1=5Vdc	-400	-250.0	-35	μA
輝度 Luminance	2) L [G]	Ta=20°C tp/TR=1/96	350	(500)	—	cd/m ²
発光色 Color of illumination	Green [G]					

Notes:
~~1) ES検証後、値を見直すことがあります。予めご了承ください。~~
~~The value of IDD2 and IDD1 will be reviewed after evaluating of E/S.~~
 2) ()の数値は参考値(基準値)とする。
 (): Reference Only

お取り扱い上のご注意 / Caution

・電源投入後、表示させる前にシフトレジスタ内部とラッチされている出力を必ず消去して下さい。特に高温時において、ちらつきの原因となることがあります。

After turning on the VFDs, clear shift register and latch before display pattern is appeared.

Unexpected working may be happended, especially, under high temperature condition.

・半導体を使用した製品であり、自他の発熱等の温度上昇により誤動作することがあります。ご使用に当っては放熱にご配慮下さい。

Avoiding unexpected working because of rising enviromental temperature, consider to dissipate the heat.

・半導体製品ですので静電気には十分ご注意ください。故障の原因になります。

Precautions should be taken to minimize the possibility of static charges occurring during handling and assembly of the VFDs.

・蛍光体焼きつき防止のため、固定表示を避け、スクロールやスクリーンセイバー、スリープモード等の機能を加えてのご使用をお勧めします。

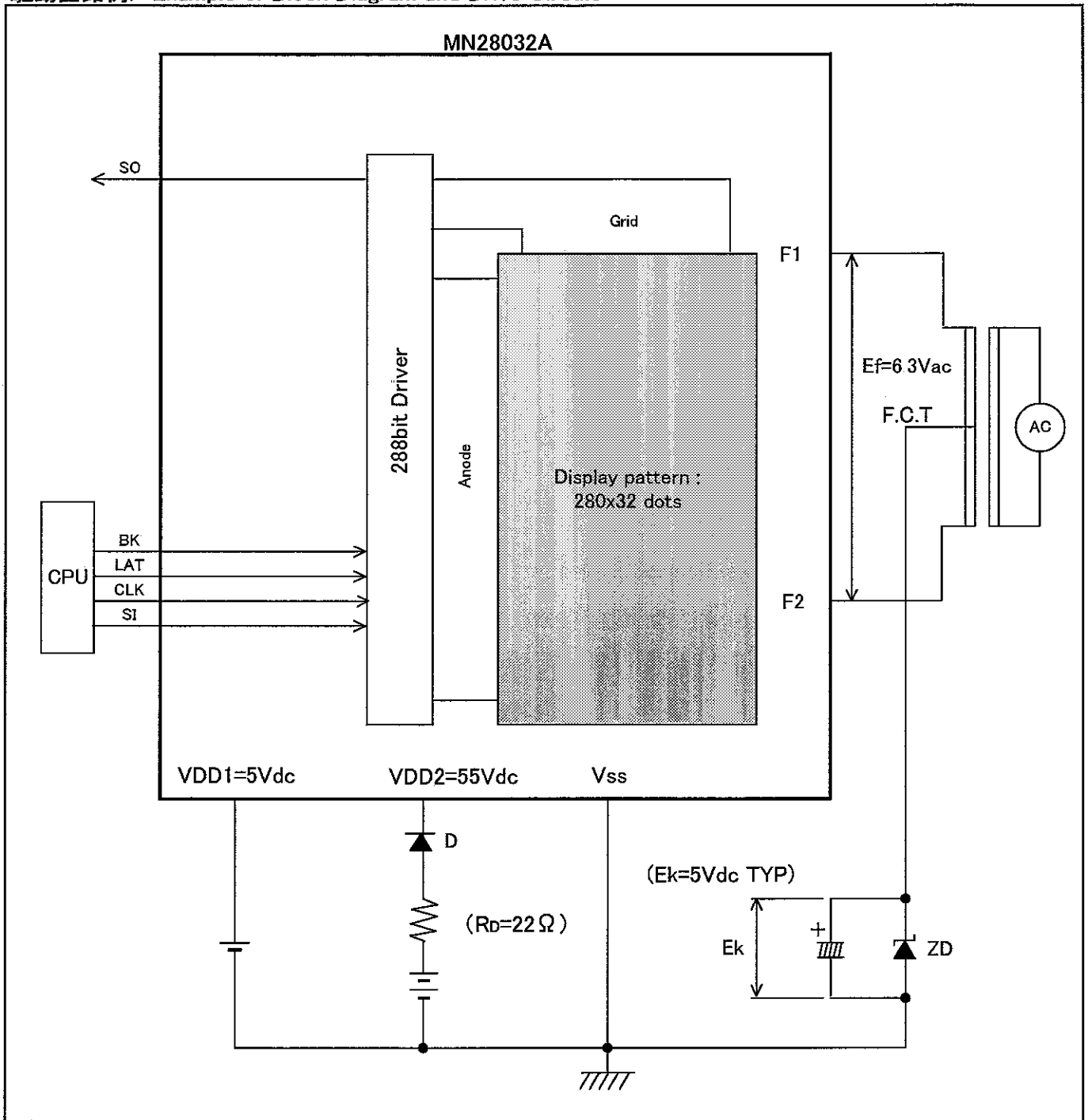
Avoding burn-in problem because of fixed pattern, scroll, screen saver or sleep functions are recommended.

お断り / Announcement

製品改良の為、仕様書の内容をお断りなく変更することがあります。予めご了承ください。

This specification is subject to change without notice.

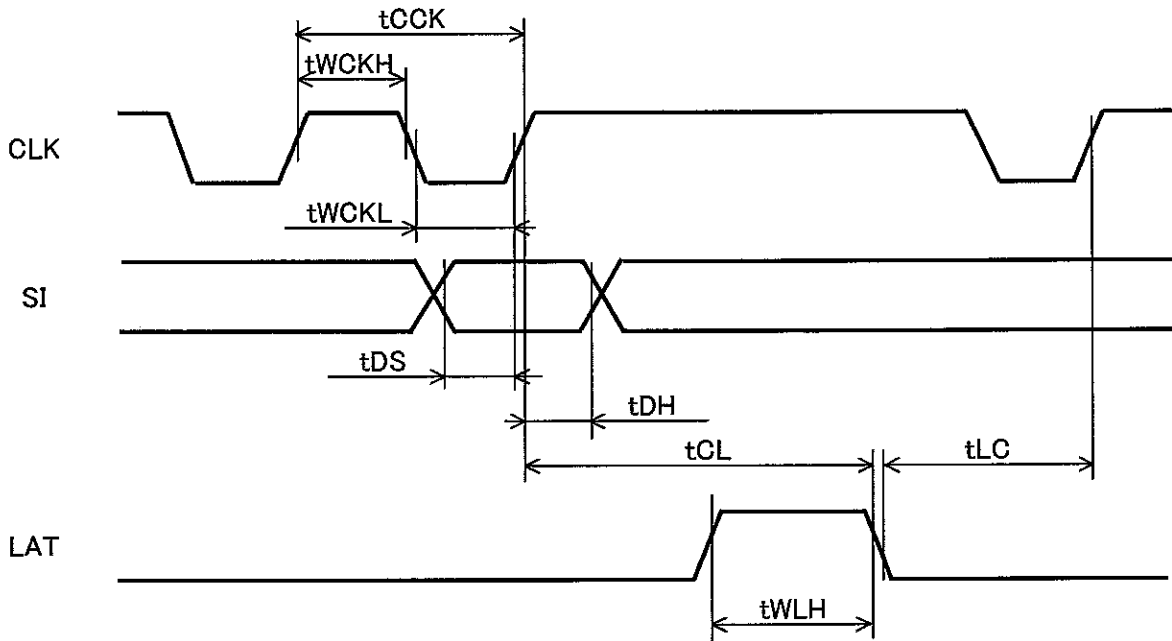
驅動回路例 / Example of Block Diagram and Drive Circuit



端子機能説明 / Function Table

端子 Terminal	機能 Function	説明 Description
CLK	クロック入力端子 Shift Register Clock Pin	立ち上がりでデータ取り込み。 The serial data at the rising edge is read by the Shift Register. プルアップ抵抗内蔵 Internal Pull-High resistor
SI	データ入力端子 Serial Data Input Pin	H: ON (High Level) L: OFF (Low Level) プルアップ抵抗なし No internal Pull-High resistor
LAT	ラッチパルス入力端子 Data Latch Control Pin	立ち下がりで表示出力。 The Shift Register data is put on hold at the falling edge. プルアップ抵抗なし No internal Pull-High resistor
BK	ブランキング入力端子 Display Blanking Pin	H: Display OFF L: Display ON プルアップ抵抗内蔵 Internal Pull-High resistor
Vss	GND端子 Ground Pins	Ground Level = 0V
F1, F2	フィラメント電圧入力端子 Filament Voltage Input Pins	6.3Vac TYP
VDD1	ロジック系電源端子 Logic Supply Voltage Input Pin	5Vdc TYP
VDD2	ディスプレイ電源電圧入力端子 Display Supply Voltage Input Pin	5.5Vdc TYP
SO	データ出力端子 Serial Data Output Pin	グリッドスキャン監視に限り使用可。 For grid scan watch dog use only.
NP	ノーピン No Pins	ピンはありません。 There is no pin.

AC特性 / AC Characteristics



入力信号条件 / Input signal conditions

(1) 振幅: VSS ~ VDD1 / Amplitude: VSS - VDD1

(2) 測定: VDD1の20%および80%を基準とする。 / Measurement: It is based on 20% of VDD1, and 80%.

入力タイミング	Input timing	Symbol	MIN	TYP	MAX	Unit
CLK周期	Clock cycle *1	t_{CCK}	200	—	—	ns
CLK高レベルパルス幅	Clock H-level pulse width *1	t_{WCKH}	80	—	—	ns
CLK低レベルパルス幅	Clock L-level pulse width *1	t_{WCKL}	80	—	—	ns
データセットアップ時間	Data setup time *1	t_{DS}	40	—	—	ns
データホールド時間	Data hold time *1	t_{DH}	40	—	—	ns
LAT高レベル幅	Latch H-level width *1	t_{WLH}	300	—	—	ns
CLK-LAT遅延時間 (モノラル動作時)	CLK-LAT delay time (for nomal operation) *1	t_{CL}	2.55	—	—	μs
LAT-CLK遅延時間	LAT-CLK delay time *1	t_{LC}	120	—	—	ns

Notes:

1) 誤動作防止のため、下記をご注意ください。

- ・データ書き込み時を除き、CLKはHレベルであること。
- ・LATがHレベル且つBKがLレベルの時、CLKをL→Hレベルに変えないこと。

Refer to the following notice to avoid data error.

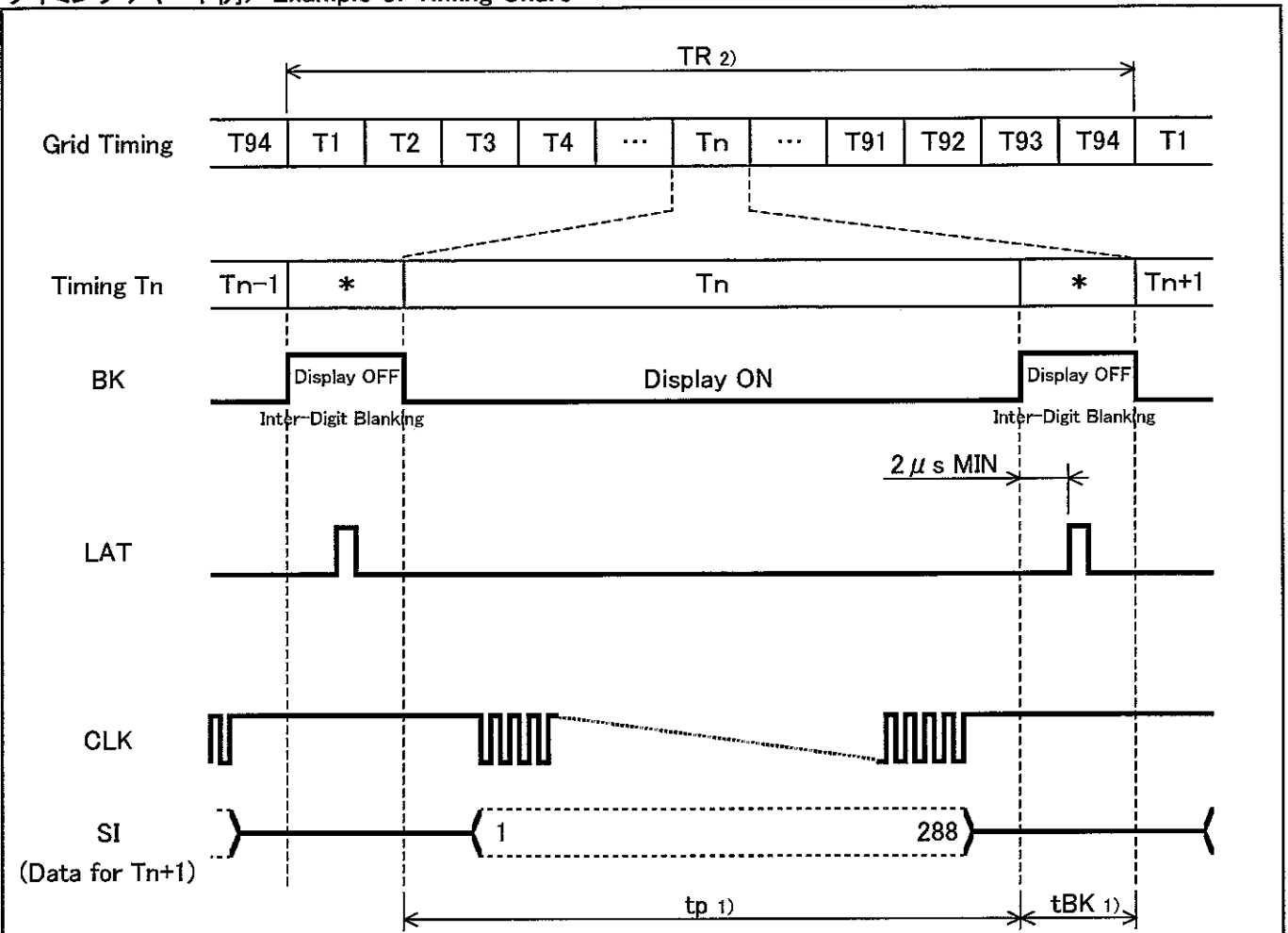
- ・Keep CLK H-level in principle.
- ・Do not change CLK L→H while LAT is H and BK is L.

2) LATは、パルス幅は最小限とし、桁間ブランキング時(BK=H)に入れて下さい。
タイミングチャートをご参照下さい。

LAT pulse (LAT=H) width should be minimize and input while inter-digit blanking (BK=H).

Refer to Timing Chart.

タイミングチャート例 / Example of Timing Chart



Notes:

- 1) "tp"および"tBK"は、"TR"一周期内で一定であること。(輝度を一定に保つ場合)
The tp and tBK should be settled in one period of TR.
- 2) ちらつき防止の為、スキャンレート(1/TR)は120Hz以上を推奨します。
120Hz or higher frequency of refresh rate (1/TR) is recommended to avoid display flickering.
- 3) グリッドスキャン停止を避けてください。VFDが故障する原因になります。
Avoid stopping Grid Scan. It may cause permanent damage to VFD.
- 4) BKパルス(BK=H)幅を変化させ輝度を落す場合は、CLKとBKの関係に従ってください。
Refer to timing rule between CLK and BK when dimming the luminance intensity by controlling/extending BK=H pulse width.
- 5) 誤点灯防止のため各タイミング毎に桁間ブランキング(*)を入れてください。
Inter-digit blanking (*) to avoid ghost illumination in the next grid

シフトレジスタ割り当て順 / Shift Register Assignment

上段 / Upper Row		データ番号 / Data No.													
下段 / Lower Row		割り当て / Assignment													
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
NC	G95	G94	G93	G92	G91	G90	G89	G88	G87	G86	G85	G84	G83	G82	G81
17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
G80	G79	G78	G77	G76	G75	G74	G73	G72	G71	G70	G69	G68	G67	G66	G65
33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48
G64	G63	G62	G61	G60	G59	G58	G57	G56	G55	G54	G53	G52	G51	G50	G49
49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64
G48	G47	G46	G45	G44	G43	G42	G41	G40	G39	G38	G37	G36	G35	G34	G33
65	66	67	68	69	70	71	72	73	74	75	76	77	78	79	80
G32	G31	G30	G29	G28	G27	G26	G25	G24	G23	G22	G21	G20	G19	G18	G17
81	82	83	84	85	86	87	88	89	90	91	92	93	94	95	96
G16	G15	G14	G13	G12	G11	G10	G9	G8	G7	G6	G5	G4	G3	G2	G1
97	98	99	100	101	102	103	104	105	106	107	108	109	110	111	112
32d	32c	32e	32b	32f	32a	31d	31c	31e	31b	31f	31a	30d	30c	30e	30b
113	114	115	116	117	118	119	120	121	122	123	124	125	126	127	128
30f	30a	29d	29c	29e	29b	29f	29a	28d	28c	28e	28b	28f	28a	27d	27c
129	130	131	132	133	134	135	136	137	138	139	140	141	142	143	144
27e	27b	27f	27a	26d	26c	26e	26b	26f	26a	25d	25c	25e	25b	25f	25a
145	146	147	148	149	150	151	152	153	154	155	156	157	158	159	160
24d	24c	24e	24b	24f	24a	23d	23c	23e	23b	23f	23a	22d	22c	22e	22b
161	162	163	164	165	166	167	168	169	170	171	172	173	174	175	176
22f	22a	21d	21c	21e	21b	21f	21a	20d	20c	20e	20b	20f	20a	19d	19c
177	178	179	180	181	182	183	184	185	186	187	188	189	190	191	192
19e	19b	19f	19a	18d	18c	18e	18b	18f	18a	17d	17c	17e	17b	17f	17a
193	194	195	196	197	198	199	200	201	202	203	204	205	206	207	208
16d	16c	16e	16b	16f	16a	15d	15c	15e	15b	15f	15a	14d	14c	14e	14b
209	210	211	212	213	214	215	216	217	218	219	220	221	222	223	224
14f	14a	13d	13c	13e	13b	13f	13a	12d	12c	12e	12b	12f	12a	11d	11c
225	226	227	228	229	230	231	232	233	234	235	236	237	238	239	240
11e	11b	11f	11a	10d	10c	10e	10b	10f	10a	9d	9c	9e	9b	9f	9a
241	242	243	244	245	246	247	248	249	250	251	252	253	254	255	256
8d	8c	8e	8b	8f	8a	7d	7c	7e	7b	7f	7a	6d	6c	6e	6b
257	258	259	260	261	262	263	264	265	266	267	268	269	270	271	272
6f	6a	5d	5c	5e	5b	5f	5a	4d	4c	4e	4b	4f	4a	3d	3c
273	274	275	276	277	278	279	280	281	282	283	284	285	286	287	288
3e	3b	3f	3a	2d	2c	2e	2b	2f	2a	1d	1c	1e	1b	1f	1a

	IN										OUT					
SI →	DO1	DO2	DO3	DO4	DO5	...	DO284	DO285	DO286	DO287	DO288				→ SO	

グリッドおよびアノードデータ条項 / Grid and Anode Data Protocol

Grid Scan Timing	Grid Select	Grid Data														Anode Data Protocol				
		G1	G2	G3	G4	G5	G6	G7	G8	G9	...	G88	G89	G90	G91		G92	G93	G94	G95
T1	G1 and G2	H	H	L	L	L	L	L	L	L	...	L	L	L	L	L	L	L	L	Note 1)
T2	G2 and G3	L	H	H	L	L	L	L	L	L	...	L	L	L	L	L	L	L	L	Note 2)
T3	G3 and G4	L	L	H	H	L	L	L	L	L	...	L	L	L	L	L	L	L	L	Note 1)
T4	G4 and G5	L	L	L	H	H	L	L	L	L	...	L	L	L	L	L	L	L	L	Note 2)
T5	G5 and G6	L	L	L	L	H	H	L	L	L	...	L	L	L	L	L	L	L	L	Note 1)
:	:	:	:	:	:	:	:	:	:	:	...	:	:	:	:	:	:	:	:	:
T90	G90 and G91	L	L	L	L	L	L	L	L	L	...	L	L	H	L	L	L	L	L	Note 2)
T91	G91 and G92	L	L	L	L	L	L	L	L	L	...	L	L	L	H	L	L	L	L	Note 1)
T92	G92 and G93	L	L	L	L	L	L	L	L	L	...	L	L	L	L	H	H	L	L	Note 2)
T93	G93 and G94	L	L	L	L	L	L	L	L	L	...	L	L	L	L	L	H	H	L	Note 1)
T94	G94 and G95	L	L	L	L	L	L	L	L	L	...	L	L	L	L	L	L	H	H	Note 2)

Notes:

- 1) タイミング内の a, b, c 列ドット(1a~32a, 1b~32b, 1c~32c)は選択可。d, e, f 列ドット(1d~32d, 1e~32e, 1f~32f)はデータLを選択すること。
Set data ON(H) or OFF(L) for anode group a (1a to 32a), group b (1b to 32b) and group c (1c to 32c) in the selected Grids in this timing.
Then other anodes d, e, and f should be all OFF(L).
- 2) タイミング内の d, e, f 列ドット(1d~32d, 1e~32e, 1f~32f)は選択可。a, b, c 列ドット(1a~32a, 1b~32b, 1c~32c)はデータLを選択すること。
Set data ON(H) or OFF(L) for anode group d (1d to 32d), group e (1e to 32e) and group f (1f to 32f) in the selected Grids in this timing.
Then other anodes a, b, and c should be all OFF(L).
- 3) L = Low Level, H = High Level

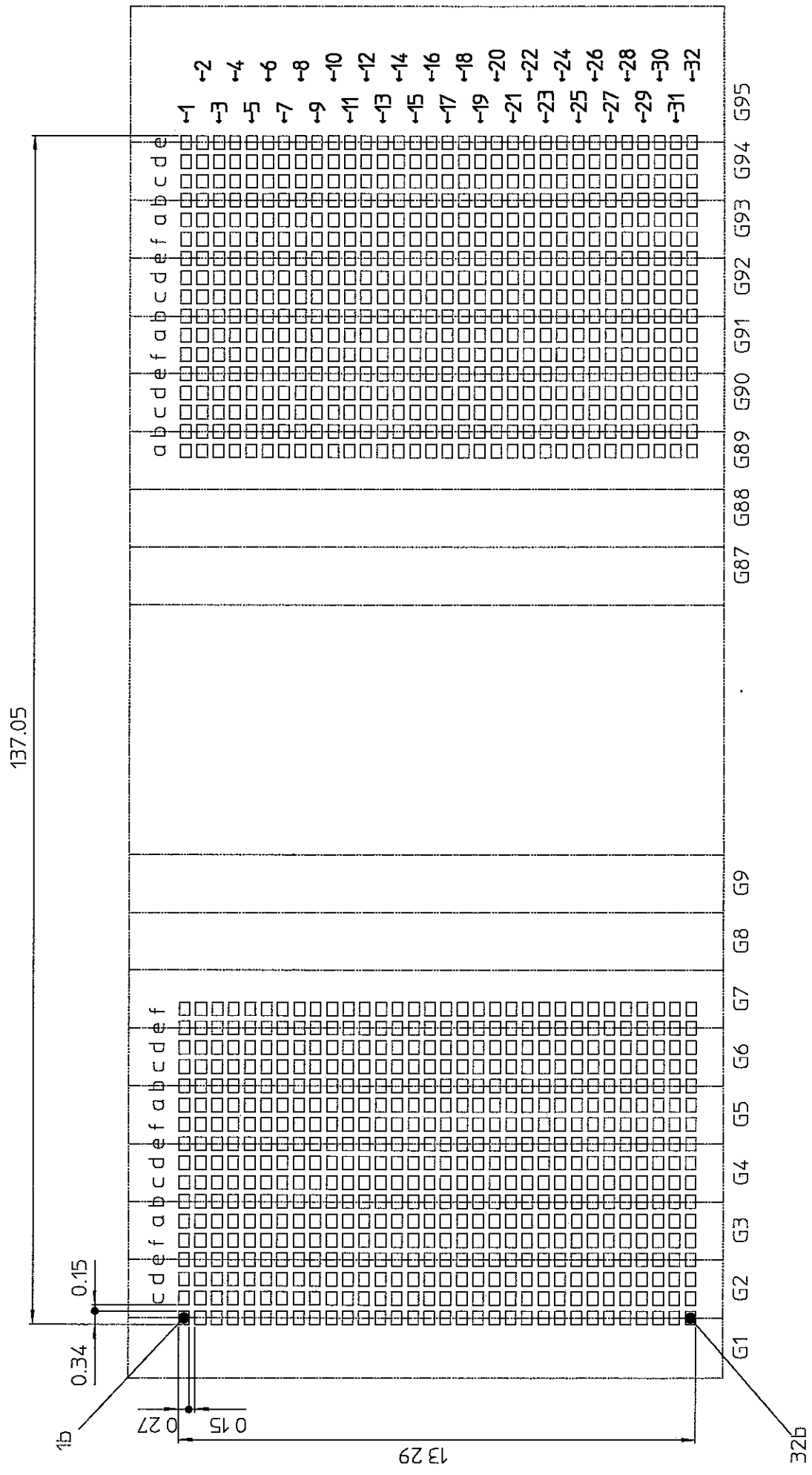
ピン割り当て / Pin Assignment

Pin No.	1	2	3	4	5	6	7	8	9	10	11	12
Assignment	F1	F1	F1	NP	NP	VDD2	Vss	Vss	CLK	BK	LAT	SO
Pin No.	13	14	15~74	75	76	77						
Assignment	VDD1	SI	NP	F2	F2	F2						

Specification of V.F.D.

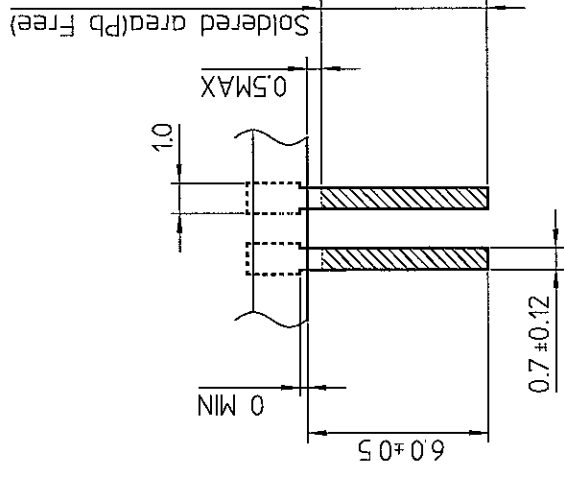
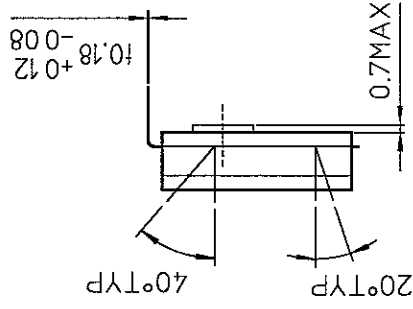
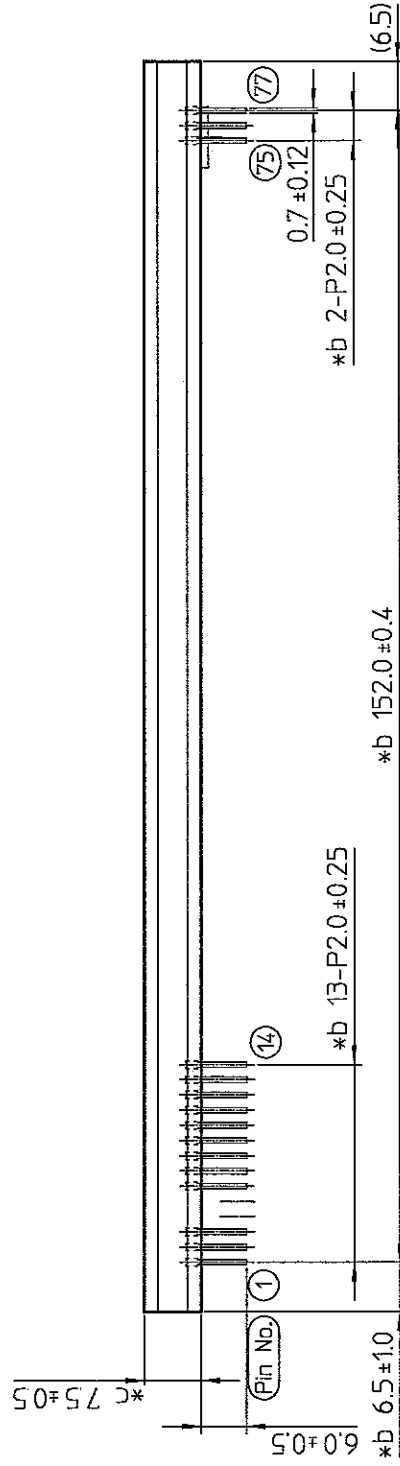
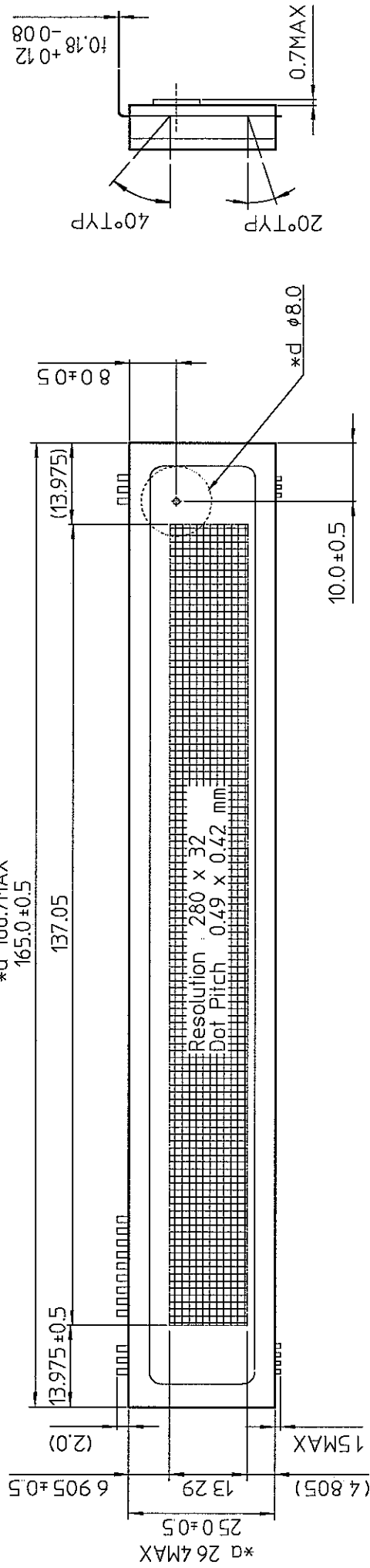
MN28032A : Display Pattern

SHEET 10/11
Unit mm
Scale 7:1



Specification of V.F.D.
MN28032A: Outer dimension

Sheet 11/11
Scale 1:1
Unit : mm
():Reference only



- *a Included extra frit glass.
- *b Within 3mm from edge of the glass substrate.
- *c This size does not include the thickness of a lid.
- *d This lid is settled in the range of 6mm radius from the center of a hole.

LEAD DETAIL